

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332613

(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H03M 7/14
G11B 20/14

(21)Application number : 11-144575

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 25.05.1999

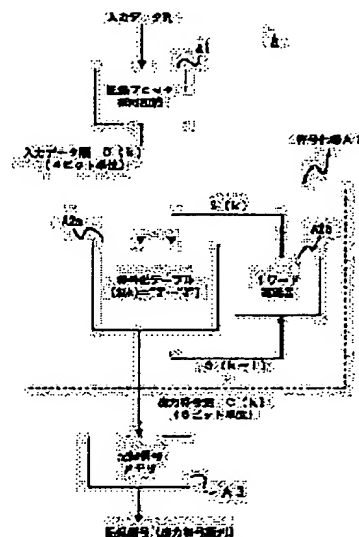
(72)Inventor : HAYAMIZU ATSUSHI

(54) MODULATION DEVICE AND DEMODULATION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a modulation device and the demodulation device, which can encode continuous binary data groups into the code word string of six-bit unit, which satisfies a (1, 7) RLL rule, and which realize DSV control without adding a redundant bit to the code word string.

SOLUTION: A modulation device has a recording block constitution circuit A1 converting continuous binary input data strings into the input data word of a four-bit unit and an encoding part A2 encoding the input data word into the output code word of a six-bit unit. The encoding part A2 is provided plural '0' to '3' encoding tables A2a. The respective tables '0' to '3' have output code words corresponding to the respective input data words and table selection number $S(k+1)$ designating the encoding tables used for encoding the next input data word.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

Best Available Copy

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-332613
(P2000-332613A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl. ⁷	識別記号	F I	キーワード* (参考)
H 0 3 M 7/14		H 0 3 M 7/14	5 D 0 4 4
G 1 1 B 20/14	3 4 1	G 1 1 B 20/14	3 4 1 A

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平11-144575

(22) 出願日 平成11年5月25日 (1999. 5. 25)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番
地

(72) 発明者 速水 淳

神奈川県横浜市神奈川区守屋町3丁目12番
地 日本ビクター株式会社内

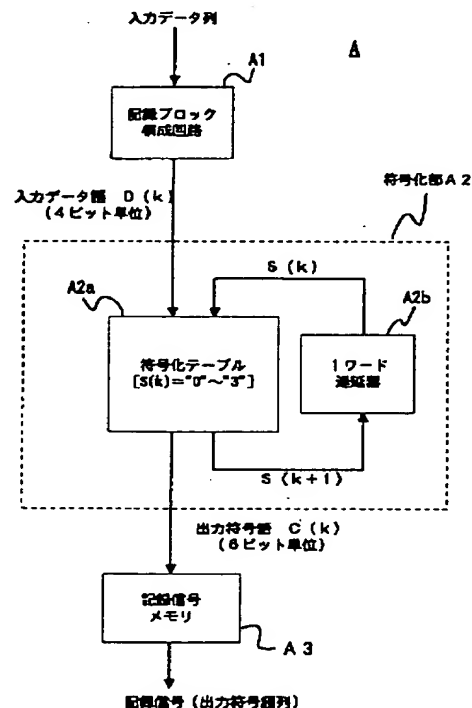
Fターム(参考) 5D044 BC01 BC02 CC04 GL21 GL28

(54) 【発明の名称】 変調装置、復調装置

(57) 【要約】

【課題】 連続する2進数のデータ系列を(1, 7) RLL規則を満足する6ビット単位の符号語列に符号化が可能であり、またこの符号語列に冗長ビットを加えることなくDSV制御が可能である変調装置とその復調装置を提供する。

【解決手段】 連続する2進数の入力データ列を4ビット単位の入力データ語に変換する記録ブロック構成回路A1と、この入力データ語を6ビット単位の出力符号語に符号化する符号化部A2とを有し、符号化部A2は符号化テーブルA2aを複数"0"～"3"備えており、各テーブル"0"～"3"には各入力データ語に対応する各出力符号語と、次の入力データ語を符号化するために使用される符号化テーブルを指定するテーブル選択番号S(k+1))とを備えている。



【特許請求の範囲】

【請求項1】 4ビット単位の入力データ語を6ビット単位の出力符号語に符号化する変換手段を有し、前記変換手段は、前記入力データ語を前記出力符号語にそれぞれ符号化するための符号化テーブルを複数備えており、前記各符号化テーブルのそれぞれには前記各入力データ語に対応する前記各出力符号語と、次の前記入力データ語を符号化するために使用される符号化テーブルを指定する符号化テーブル指定情報とを備えており、前記各出力符号語は2進数の出力符号語列として順次直接結合しても(1, 7)RLL(ラン・レンジス・リミテッド)規則を満足する出力符号語であることを特徴とする変調装置。

【請求項2】 前記複数の符号化テーブルは、少なくとも第1, 第2符号化テーブルを備えており、所定の入力データ語に対応する前記第1符号化テーブル上の第1出力符号語と、前記所定の入力データ語と同一の入力データ語に対応する前記第2符号化テーブル上の第2出力符号語とをそれぞれNRZI変調した信号が逆極性であり、かつ、ある特定の出力符号語を出力した後に、前記第1, 第2出力符号語のいずれを選択しても、選択された出力符号語は(1, 7)RLL規則を満足する出力符号語であることを特徴とする請求項1記載の変調装置。

【請求項3】 前記第1, 第2出力符号語のいずれかを選択する選択手段を備えたことを特徴とする請求項2記載の変調装置。

【請求項4】 符号化テーブル指定情報で指定された入力データ語に対応する出力符号語が前記第1, 第2出力符号語のいずれかであるかを検出し、この検出結果に基づいて前記第1, 第2符号化テーブルのいずれかを指定する符号化テーブル指定情報を前記複数の符号化テーブルに出力する符号化テーブル指定手段と、前記複数の符号化テーブルの中から指定された符号化テーブルを用いて入力データ語に対応して順次出力される出力符号語を、出力符号語の極性毎に分別してメモリする出力符号語メモリ手段と、指定された符号化テーブルから順次出力される出力符号語毎に、前記出力符号語メモリ手段にメモリされている出力符号語に対応するCDS(コードワード・デジタル・サム)を順次加算したDSV(デジタル・サム・バリエーション)をメモリするDSVメモリ手段と、前記DSVメモリ手段から出力されるDSVの絶対値の大きさを基に、前記出力符号語メモリ手段から順次出力する出力符号語系列を選択する選択手段とを具備したことを特徴とする請求項3に記載の変調装置。

【請求項5】 請求項1乃至請求項4のいずれかに記載の変調装置を用いて符号化された6ビット単位の符号語を連続化した符号語列を、再生データ列に復調する復調装置であって、

前記符号語列を6ビット毎の符号語に再構成する手段と、

後続の符号語が前記複数の符号化テーブルのうち、どの符号化テーブルで符号化がなされるかを示す判定情報と、後続の符号語とを基にして、前記符号語列を再生データ列に復調する手段とを有することを特徴とする復調装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル情報信号を、(1, 7)ラン・レンジス・リミテッド(以下、「(1, 7)RLL」と記す)制限をもつ記録符号系列で光ディスクや磁気ディスクなどの記憶媒体に記録するための変調装置とその復調装置に関する。

【0002】

【従来の技術】従来より、光ディスクあるいは磁気ディスクなどの記録媒体に、一連のデジタル情報信号を記録するための記録変調方式としては、(1, 7)RLLがよく使われている。しかし従来から使われている

(1, 7)RLLでは、直流(DC)付近の信号成分抑圧が困難であり、ビットパターンによっては大きなDC成分を生じ、例えば、サーボ信号帯域に情報信号成分のスペクトルが混入し、サーボ性能に悪影響が及ぶ問題が生ずる事が予想される。

【0003】これに対して、特開平6-195887号公報「記録符号変調装置」では、特定ビットパタンの繰返しを防止する事で、DC成分の抑圧を図るための提案がなされている。また、特開平10-340543号公報「エンコード装置、デコード装置、エンコード方法、及びデコード方法」では、(1, 7)RLL規則を乱さないように冗長ビットを挿入することで、DC成分の抑圧を図るための提案がなされている。

【0004】

【発明が解決しようとする課題】然るに、前者によると、ビット反転や、ランダムイズ等の手段によって特定パタンの繰返しの低減は図れるものの、十分にDC成分の抑圧をすることは困難である。また、後者によれば、DC成分の抑圧は前者に比べれば大きいものの、冗長ビットの挿入による記録容量の低下が生じてしまう。本発明は上記の問題点に鑑みてなされたもので、冗長ビットを用いること無しにDC成分の抑圧を図ろうとするものである。

【0005】

【課題を解決するための手段】上述した課題を解決するために、本発明は、次の(1)～(5)の構成の変調装置、復調装置を提供する。

(1) 図1に示すように、4ビット単位の入力データ語D(k)(但しkは符号語単位でのある時間点を表す)を6ビット単位の出力符号語C(k)に符号化する変換手段(符号化部)A2を有し、前記変換手段A2

は、前記入力データ語D(k)を前記出力符号語C(k)にそれぞれ符号化するための符号化テーブルA2aを複数(図8に示す4つの符号化テーブルS(k) = "0" ~ "3")備えており、前記各符号化テーブルS(k) = "0" ~ "3"のそれぞれには前記各入力データ語D(k)に対応する前記各出力符号語C(k)と、次の前記入力データ語D(k+1)を符号化するために使用される符号化テーブルを指定する符号化テーブル指定情報(テーブル選択番号, S(k+1))とを備えており、前記各出力符号語C(k)は2進数の出力データ列として順次直接結合しても(1, 7)RLR(ラン・レンジ・リミット)規則を満足する出力符号語であることを特徴とする変調装置A。

(2) 図8に示すように、前記複数の符号化テーブル(S(k) = "0" ~ "3")は、少なくとも第1, 第2符号化テーブル(S(k) = "1", "3")を備えており、所定の入力データ語D(k+1) = 0 ~ 3に対応する前記第1符号化テーブル(S(k) = "3")上の第1出力符号語C(k+1) = 010101, 010101, 100101, 100101と、前記所定の入力データ語D(k+1) = 0 ~ 3と同一の入力データ語に対応する前記第2符号化テーブル(S(k) = "1")上の第2出力符号語C(k+1) = 001001, 001001, 000101, 000101とをそれぞれNRZI変調した信号が逆極性であり、かつ出力符号語010000を出力した後に、前記第1, 第2出力符号語C(k+1)のいずれを選択しても、選択された出力符号語C(k+1)は(1, 7)RLR規則を満足する出力符号語であることを特徴とする請求項1記載の変調装置。

(3) 図2に示すように、前記第1, 第2出力符号語C(k+1)のいずれかを選択する(符号語選択肢有無検出回路B1、符号化テーブルアドレス演算回路B2から構成される)選択手段を備えたことを特徴とする請求項2記載の変調装置。

(4) 図2, 図3, 図8に示すように、符号化テーブル指定情報S(k)で指定された入力データ語D(k)に対応する出力符号語C(k)が前記第1, 第2出力符号語(第1出力符号語C(k+1) = 010101, 010101, 100101, 100101、第2出力符号語C(k+1) = 001001, 001001, 000101, 000101)のいずれかであることを検出し、この検出結果に基づいて前記第1, 第2符号化テーブル(S(k) = "1", "3")のいずれかを指定する符号化テーブル指定情報S(k)を前記複数の符号化テーブルに出力する(符号語選択肢有無検出回路B1、符号化テーブルアドレス演算回路B2、符号化部A2とから構成される)符号化テーブル指定手段と、前記複数の符号化テーブルの中から指定された符号化テーブルを用いて入力データ語に対応して順次出力される出力符号

語を、出力符号語の極性("0" = "ー", "1" = "＋")毎に分別してメモリする出力符号語メモリ手段(符号語メモリ)B6, B7と、指定された符号化テーブルから順次出力される出力符号語C(k)毎に、前記出力符号語メモリ手段B6, B7にメモリされている出力符号語C(k)に対応するCDS(コードワード・ディジタル・サム)を順次加算したDSV(ディジタル・サム・バリエーション)をメモリするDSVメモリ手段(DSV演算メモリ)B4, B5と、前記DSVメモリ手段B4, B5から出力されるDSVの絶対値の大きさを基に、前記出力符号語メモリ手段B6, B7から順次出力する出力符号語系列を選択する(メモリ制御/符号語出力部B8、絶対値比較回路B9から構成される)選択手段とを具備したことを特徴とする請求項3に記載の記録変調装置。

(5) 図5、図6に示すように、請求項1乃至請求項4のいずれかに記載の変調装置A, Bを用いて符号化された6ビット単位の符号語C(k)を連続化した符号語列を、再生データ列に復調する復調装置Cであって、前記符号語列を6ビット毎の符号語に再構成する手段(シリアル/パラレル変換器C2)と、後続の符号語が前記複数の符号化テーブルのうち、どの符号化テーブルで符号化がなされるかを示す判定情報と、後続の符号語とを基にして、前記符号語列を再生データ列に復調する手段(復号テーブル・符号化テーブル演算器・選択器C4)とを有することを特徴とする復調装置。

【0006】

【発明の実施の態様】以下、図1～図10を参照して、本発明の実施形態を説明する。図1は本発明の変調装置の基本構成図、図2は本発明の変調装置のブロック構成図、図3は図2に示す符号化部周辺のブロック構成図、図4は図2に示す変調装置の符号化動作を説明するためのフローチャート、図5は本発明の復調装置の基本構成図、図6は図5に示す復号テーブル、符号化テーブル演算器、選択器のブロック図、図7は4ビット単位のデシマル入力データ語に対応する6ビット単位のバイナリ出力符号語を表す図、図8は本発明の変調装置に用いられる4つの符号化テーブル"0" ~ "3"の各内容を表す図、図9は本発明の変調装置における符号化過程を説明する図、図10は本発明の復調装置に用いられる4つの復号化テーブル"0" ~ "3"の各内容を表す図である。

【0007】さて、(1, 7)RLR制限を満足する6ビット単位の出力符号語の種類は図7のようになる。この符号語種類を基にした符号化テーブルA2aの一例としては、図8に示すような4つの符号化テーブル(符号化テーブル番号S(k) = "0" ~ "3")が構成できる。S(k) = "0" ~ "3"は、4つの符号化テーブルにそれぞれ割り当てられた符号化テーブル選択番号を表す。また、図8中のS(k+1)は、次の符号化を行

うために用いる符号化テーブルを選択する符号化テーブル選択番号を表す。

【0008】例えば、図8、図9に示すように、4ビット単位の入力データ語 $D(k)$ を符号化する場合について具体的に説明する。入力データ語 $D(k)$ として「4, 5, 6, 7, 8 (デシマル)」を用いる。符号化の初期状態では、説明を省略する同期語の挿入などの操作によって、符号化テーブルの初期選択番号を決定し、例えば、符号化テーブル $S(k) = "0"$ が選択される。この符号化テーブル $S(k) = "0"$ に、入力データ語 $D(k) = 4$ を入力すると、出力符号語 $C(k) = 18$ (デシマル) が出力され、また、次の符号化テーブル選択番号 $S(k+1) = "1"$ が選択される。次に、選択された符号化テーブル $S(k) = "1"$ に、入力データ語 $D(k) = 5$ を入力すると、出力符号語 $C(k) = 2$ (デシマル) が出力され、また、次の符号化テーブル選択番号 $S(k+1) = "2"$ が選択されることになる。以下同様に、符号化テーブル $S(k) = "2"$ に入力データ語 $D(k) = 6$ を入力すると、出力符号語 $C(k) = 18$ が出力され、符号化テーブル選択番号 $S(k+1) = "3"$ が選択され、次に符号化テーブル $S(k) = "3"$ に入力データ語 $D(k) = 7$ を入力すると、出力符号語 $C(k) = 41$ が出力され、符号化テーブル選択番号 $S(k+1) = "0"$ が選択され、そして、符号化テーブル $S(k) = "0"$ に入力データ語 $D(k) = 8$ を入力すると、出力符号語 $C(k) = 1$ が出力され、符号化テーブル選択番号 $S(k+1) = "1"$ が選択されることになる。

【0009】この結果、入力データ語 $D(k)$ として「4, 5, 6, 7, 8 (デシマル)」は出力符号語 $C(k)$ として「010010, 000010, 010010, 101001, 000001 (バイナリ)」に符号化されて順次出力される。従って、前記した5つの出力符号語 $C(k)$ を順次直接結合した一連の出力符号語列は、010010000010010010010101001000001となり、(1, 7) RLLの制限を満足する出力符号語列を得ることができる。

【0010】上述した符号化の手法を用いて符号化を行う変調装置が、図1に示す本発明の変調装置である。本発明の変調装置Aは、図1に示すように、記録ブロック構成回路A1、符号化部A2、記録信号メモリA3を有している。符号化部A2は符号化テーブルA2aと1ワード遅延器A2bとを備えている。符号化テーブルA2aは前述した図8に示すような4つの符号化テーブル(符号化テーブル番号 $S(k) = "0" \sim "3"$)を備えている。1ワード遅延器A2bは、後述するように符号化の際に選択された符号化テーブル選択番号 $S(k+1)$ に基いて、次の符号化を行う際に用いる符号化テーブルを指定する符号化テーブル番号 $S(k)$ を生成し、これを符号化テーブルA2aへ出力する。

【0011】前記した記録ブロック構成回路A1は、連続する2進数の入力データ列を4ビット単位の入力データ語 $D(k)$ (但し $k=4$)に変換して、この入力データ語 $D(k)$ を符号化部A2へ出力する。前記した符号化部A2は、記録ブロック構成回路A1から出力する4ビット単位の入力データ語 $D(k)$ を、符号化テーブルA2aを用いて、6ビット単位の出力符号語 $C(k)$ に順次符号化した後に、この出力符号語 $C(k)$ を記録信号メモリA3へ順次出力する。この記録信号メモリA3は、符号化テーブルA2aから出力する6ビット単位の出力符号語 $C(k)$ を一旦メモリする。そして、記録信号メモリA3の出力側に接続される回路などに応じたデータ転送速度で、6ビット単位の出力符号語 $C(k)$ を一連の出力符号語列として外部へ出力される。なお、本例では説明を省略するが、所定ビット単位毎に同期語を挿入する操作は、記録ブロック構成回路A1、符号化部A2でなされているものとする。

【0012】前記したように第2変換手段A2は、入力データ語 $D(k)$ を出力符号語 $C(k)$ にそれぞれ符号化するための符号化テーブルA2aを複数(図8に示す4つの符号化テーブル $S(k) = "0" \sim "3"$)備えている。これら各符号化テーブル $S(k) = "0" \sim "3"$ のそれぞれには、各入力データ語 $D(k)$ に対応する各出力符号語 $C(k)$ と、次の入力データ語 $D(k+1)$ を符号化するために使用される符号化テーブルを指定する符号化テーブル選択番号 $S(k+1)$ とを備えている。また、各符号化テーブル $S(k) = "0" \sim "3"$ 上における各出力符号語 $C(k)$ は、前記した記録信号メモリA3から一連の出力符号語列として出力されて、この出力符号語列が2進数の出力データ列として順次直接結合しても、(1, 7) RLL規則を満足する出力符号語である。また、前記符号化テーブル選択番号 $S(k+1)$ は符号化する度に1ワード遅延器A2bに供給される。この結果、1ワード遅延器A2bは、4ビット単位の入力データ語 $D(k)$ を6ビット単位の出力符号語 $C(k)$ に符号化出力する度に、符号化テーブルA2aが更新可能となる。

【0013】次に、前述した構成を有する本発明の変調装置Aの要部を成す符号化テーブルA2aについて、図8を用いて具体的に説明する。

【0014】前記した入力データ語 $D(k)$ に続く次の入力データ語 $D(k+1)$ は、上述した単発的な入力の段階では、入力データ語 $D(k)$ によって指定された符号化テーブル選択番号 $S(k+1)$ に対応した符号化テーブルを用いて、次の出力符号語 $C(k+1)$ を符号化するだけで良い。

【0015】一方、前記した入力データ語を連続して入力する段階では、後述するように、連続した入力データ語を順次入力して、順次符号化した出力符号語を順次直接結合した状態で外部へ出力する際には、直前に外部へ

出力されてしまった出力符号語列の最後端部に位置する出力符号語との整合性(極性の一致)を考慮したDSV制御を行った上で、この最後端部の出力符号語に直接結合する出力符号語を出力することが必要であることは言うまでもない。そこで、この一つの方法としては、入力データ語D(k)に続く次の入力データ語D(k+1)に対応する出力符号語C(k+1)を2つ予め用意しておき、かつこの2つの出力符号語C(k+1)は互いに偶奇の関係(例えば一方の出力符号語C(k+1)には「1」のデータが偶数個あり、他方の出力符号語C(k+1)には「1」のデータが奇数個ある関係)としておく。これによって、直前に外部へ出力されてしまった出力符号語列の最後端部に位置する出力符号語の極性に一致する極性の出力符号語を、前記した2つの出力符号語C(k+1)から択一して、この択一した出力符号語を、この最後端部の出力符号語に直接結合するものである。

【0016】言い換えるならば、入力データ語D(k)に続く次の入力データ語D(k+1)に対応する出力符号語C(k+1)は2つあり、この2つの出力符号語C(k+1)は互いに偶奇の関係がある。この結果、次の次の入力データ語D(k+2)に対応する2つの出力符号語C(k+2)は、互いに逆極性の関係となるものである(換言すれば、一方の出力符号語C(k+2)の極性は「0」となり、他方の出力符号語C(k+2)の極性は「1」とするものである)。これによって、出力符号語列の最後端部に位置する出力符号語の極性に一致する極性の出力符号語を、2つの出力符号語C(k+1)から択一して、この択一した出力符号語を、この最後端部の出力符号語に直接結合すれば良い。

【0017】以下、上述したことを具体的に、下記(1)～(4)に説明する。

(1) 図8において、入力データ語D(k)=15で、符号化テーブルS(k)＝"0"又は"3"のとき、出力符号語C(k)=010000をいずれも出力し、またテーブル選択番号S(k+1)はいずれも"3"となる。次の入力データ語D(k+1)に対する次の出力符号語C(k+1)は、いずれもテーブル選択番号S(k)＝"3"の符号化テーブルから選択される。一方、符号化テーブルS(k)＝"3"における次の入力データ語D(k+1)=0～3にそれぞれ対応する次の出力符号語C(k+1)は、C(k+1)=010101, 010101, 100101, 100101(いずれも「1」のデータが奇数個)である。他方、符号化テーブルS(k)＝"1"における次の入力データ語D(k+1)=0～3にそれぞれ対応する次の出力符号語C(k+1)は、C(k)=001001, 001001, 000101, 000101(いずれも「1」のデータが偶数個)である。この結果、前述した符号化テーブルS(k)＝"3"における入力データ語D(k+

1)=0～3にそれぞれ対応する次の出力符号語C(k+1)と、符号化テーブルS(k)＝"1"における入力データ語D(k+1)=0～3にそれぞれ対応する次の出力符号語C(k+1)とは、前記した偶奇の関係がある。従って、次の次の入力データ語D(k+2)に対応する2つの出力符号語C(k+2)は、互いに逆極性の関係になるのであるから、必要に応じて、互いに極性が異なる2つの出力符号語C(k+1)を入れ替えて出力しても符号化規則は乱れず、ディジタル・サム・バリエーション動作の極性(以下、「DSV極性」と記す)を反転することが可能である。

【0018】(2) 同様に、入力データ語D(k)=14で、符号化テーブルS(k)＝"0"又は"3"のとき、出力符号語C(k)=010000をいずれも出力し、またテーブル選択番号S(k+1)はいずれも"2"となる。次の入力データ語D(k+1)に対する出力符号語C(k+1)は、テーブル選択番号S(k)＝"2"の符号化テーブルから選択される。一方、符号化テーブルS(k)＝"2"における入力データ語D(k+1)=7～15にそれぞれ対応する次の出力符号語C(k+1)は、C(k+1)=100100, 100100, 100100, 101010, 101010, 101010, 101000, 101000, 101000である。他方、符号化テーブルS(k)＝"1"における入力データ語D(k+1)=7～15にそれぞれ対応する出力符号語C(k+1)は、C(k+1)=000100, 000100, 000100, 001010, 001010, 001010, 001000, 001000である。この結果、前述した符号化テーブルS(k)＝"2"における入力データ語D(k+1)=7～15にそれぞれ対応する出力符号語C(k+1)と、符号化テーブルS(k)＝"1"における入力データ語D(k+1)=7～15にそれぞれ対応する出力符号語C(k+1)とは、前記した偶奇の関係がある。従って、次の次の入力データ語D(k+2)に対応する2つの出力符号語C(k+2)は、互いに逆極性の関係になるのであるから、必要に応じて、互いに極性が異なる2つの出力符号語C(k+1)を入れ替えて出力しても符号化規則は乱れず、DSV極性を反転することが可能である。

【0019】(3) 同様に、入力データ語D(k)=13で、符号化テーブルS(k)＝"3"のとき、出力符号語C(k)=100000を出力し、またテーブル選択番号S(k+1)は"3"となる。次の入力データ語D(k+1)に対する出力符号語C(k+1)は、テーブル選択番号S(k)＝"3"の符号化テーブルから選択される。一方、符号化テーブルS(k)＝"3"における入力データ語D(k+1)=0又は1に対応する出力符号語C(k)は、いずれもC(k)=010101である。他方、符号化テーブルS(k)＝"1"にお

ける入力データ語 $D(k+1)=0$ 又は 1 に対応する出力符号語 $C(k+1)$ は、いずれも $C(k+1)=001001$ である。この結果、前述した符号化テーブル $S(k) = "3"$ における入力データ語 $D(k+1)=0$ 又は 1 に対応する出力符号語 $C(k+1)$ と、符号化テーブル $S(k) = "1"$ における入力データ語 $D(k+1)=0$ 又は 1 に対応する出力符号語 $C(k+1)$ とは、前記した偶奇の関係がある。従って、次の次の入力データ語 $D(k+2)$ に対応する2つの出力符号語 $C(k+2)$ は、互いに逆極性の関係になるのであるから、必要に応じて、互いに極性が異なる2つの出力符号語 $C(k+1)$ を入れ替えて出力しても符号化規則は乱れず、DSV極性を反転することが可能である。

【0020】(4) 同様に、入力データ語 $D(k)=12$ で、符号化テーブル $S(k) = "3"$ のとき、出力符号語 $C(k)=100000$ を出力し、またテーブル選択番号 $S(k+1)$ は $"2"$ となる。次の入力データ語 $D(k+1)$ に対する出力符号語 $C(k+1)$ は、テーブル選択番号 $S(k) = "2"$ の符号化テーブルから選択される。一方、符号化テーブル $S(k) = "2"$ における入力データ語 $D(k+1)=10\sim15$ にそれぞれ対応する出力符号語 $C(k+1)$ は、 $C(k+1)=101010, 101010, 101010, 101000, 101000, 101000$ である。他方、符号化テーブル $S(k) = "1"$ における入力データ語 $D(k+1)=10\sim15$ にそれぞれ対応する出力符号語 $C(k+1)$ は、 $C(k+1)=001010, 001010, 001010, 001000, 001000, 001000$ である。この結果、前述した符号化テーブル $S(k) = "2"$ における入力データ語 $D(k+1)=10\sim15$ にそれぞれ対応する出力符号語 $C(k+1)$ と、符号化テーブル $S(k) = "1"$ における入力データ語 $D(k+1)=10\sim15$ にそれぞれ対応する出力符号語 $C(k+1)$ とは、前記した偶奇の関係がある。従って、次の次の入力データ語 $D(k+2)$ に対応する2つの出力符号語 $C(k+2)$ は、互いに逆極性の関係になるのであるから、必要に応じて、互いに極性が異なる2つの出力符号語 $C(k+1)$ を入れ替えて出力しても符号化規則は乱れず、DSV極性を反転することが可能である。

【0021】このように、前記した条件を満たす入力データ語が符号化テーブルA2に連続して供給された場合には、符号化テーブルA2から順次出力する2つの出力符号語のいずれかを選択して(入れ替えて)これを用いることにより、出力符号語列のDSV極性の制御が可能となる。

【0022】上記した出力符号語列のDSV極性の制御を行うために好適な構成の変調装置が、図2に示す本発明の変調装置である。本発明の変調装置Bは、図2に示すように、符号語選択肢有無検出回路B1、符号化テ-

ブルアドレス演算回路B2、符号化部B3、DSV演算メモリ「0」B4、DSV演算メモリ「1」B5、符号語メモリ「0」B6、符号語メモリ「1」B7、メモリ制御/符号語出力部B8、絶対値比較回路B9を有している。符号化部B3は、図3に示すように、符号化テーブルA2a、1ワード遅延器A2b、出力符号語振分回路B3aとを備えている。前述したものと同一構成部分には同一符号を付しその説明を省略する。

【0023】出力符号語振分回路B3aは、DSV極性の入れ替えが可能な2つの出力符号語 $C(k)$ が符号化テーブルA2aから出力した時点において、この2つの出力符号語 $C(k)$ を出力符号語 $C(k)0$ 、出力符号語 $C(k)1$ とに振り分けて出力する。出力符号語 $C(k)0$ はDSV演算メモリ「0」B4及び符号語メモリ「0」B6にそれぞれ供給される。出力符号語 $C(k)1$ はDSV演算メモリ「1」B5及び符号語メモリ「1」B7にそれぞれ供給される。出力符号語振分回路B3aは、DSV極性の入れ替えが可能な2つの出力符号語 $C(k)$ が符号化テーブルA2aから出力されない場合には、1の出力符号語 $C(k)$ はDSV演算メモリ「0」B4、DSV演算メモリ「1」B5、符号語メモリ「0」B6、符号語メモリ「1」B7に並列出力される。

【0024】次に、上述した構成の変調装置Bの動作について説明する。以下の説明においては、上述した

(1)「現在の入力データ語が $D(k)=15$ 、現在の符号化テーブルが $S(k) = "0"$ 、 $"3"$ で、かつ次の入力データ語が $D(k+1)=0\sim3$ の場合には、次の入力データ語 $D(k+1)$ に対応する出力符号語 $C(k+1)$ は、符号化テーブル $S(k) = "1"$ 、 $"3"$ から選択して出力できる」の場合を例にして説明する。ここでは都合上、上述した(1)の場合についてだけ説明するが、上述した(1)の場合と同様に上述した(2)～(4)の各場合についても行われることは言うまでもない。

【0025】まず、初期符号化テーブルとして、符号化テーブル $S(k) = "0"$ を選択する。この符号化テーブル選択番号 $S(k) = "0"$ は符号語選択肢有無検出回路B1に入力される。

【0026】次に、符号語選択肢有無検出回路B1には、出力符号語 $C(k)$ の入れ替えが可能な状態を生成するための前記したの条件を満たす各種データが予めメモリされている。例えば(1)の条件を満たす各種のデータとしては、現在の入力データ語 $D(k)=15$ のデータ語データD1、現在の符号化テーブル $S(k) = "0"$ 、 $"3"$ の各テーブル番号データD2、D3、次の入力データ語 $D(k+1)=0\sim3$ の各データ語データD4～D7がそれぞれメモリされている。こうした各種データがメモリされている符号語選択肢有無検出回路B1には、入力データ語が $D(k)=15$ 、 $D(k+1)$

=0と順次連続してされると、この入力状態は、前記したデータD1、D2、D4に一致することを確認する。この結果、符号語選択肢有無検出回路B1は、この入力状態は前記した(1)の条件に一致し、「符号語選択肢有」であることを検出する。この結果、符号語選択肢有無検出回路B1は、前記した(1)の条件を検出した旨の選択肢検出結果信号を符号化テーブルアドレス演算回路B2及び絶対値比較回路B9にそれぞれ出力する。

【0027】符号化テーブルアドレス演算回路B2は、符号語選択肢有無検出回路B1から供給される選択肢検出結果信号に基づいて、2つの符号化テーブルS(k) = "1", "3" からそれぞれ出力符号語C(k)を読み出すための、次の入力データ語D(k+1) = 0及び符号化テーブルS(k) = "1", "3" をテーブルアドレスとして、符号部B3へ出力する。

【0028】符号部B3の符号化テーブルA2aは、このテーブルアドレスに基づいて、2つの符号化テーブルS(k) = "1", "3" に入力データ語D(k+1) = 0をそれぞれ入力して、これにより得た出力符号語C(k+1) = 001001, 010101を出力符号語振分回路B3aへ出力する。また、次の符号化テーブルS(k+1) = "2" を符号語選択肢有無検出回路B1へ出力する。

【0029】前記した出力符号語振分回路B3aは、DSV極性の入れ替えが可能な2つの出力符号語C(k+1) = 001001, 010101が符号化テーブルA2aから出力した時点において、この2つの出力符号語C(k+1)を出力符号語C(k)0、出力符号語C(k)1とに振り分けて出力する。ここで、出力符号語C(k+1) = 001001を出力符号語C(k)0、出力符号語C(k+1) = 010101を出力符号語C(k)1とする。

【0030】出力符号語振分回路B3aから出力する出力符号語C(k)0は、DSV演算メモリ「0」B4及び符号語メモリ「0」B6にそれぞれ供給される。また、出力符号語C(k)1はDSV演算メモリ「1」B5及び符号語メモリ「1」B7にそれぞれ供給される。

【0031】DSV演算メモリ「0」, 「1」B4, B5では、出力符号語C(k)0, C(k)1が入力される毎に、6ビット単位毎の出力符号語のコードワード・デジタル・サム(以下、「CDS」と記す)を演算して、この演算結果を順次加算してメモリの内容を更新する。こうして、DSV演算メモリ「0」, 「1」B4, B5からそれぞれ出力するDSV出力は絶対値比較回路B9に送出される。絶対値比較回路B9は前記した選択肢検出結果として、「選択肢有り」なる情報が送出されたときに、この2つのDSV出力の絶対値の大小を比較し、この比較結果をメモリ制御/符号語出力部B8に送出する。

【0032】メモリ制御/符号語出力部B8には、DS

V演算メモリ「0」, 「1」B4, B5から出力する2出力のうち、絶対値が小さいDSV出力を選択して出力するように、常時、絶対値が小さいDSV出力側に切り換え制御される。この結果、メモリ制御/符号語出力部B8の出力である出力符号語列には、DC成分が低減されたデータとなるのである。具体的には、例えば、DSV演算メモリ「0」B4から絶対値が小さいDSV出力がある場合に、次の出力符号語C(k)0をCDS演算する前に、DSV演算メモリ「1」B5のメモリ内容(DSV出力)をDSV演算メモリ「0」B4のメモリ内容(DSV出力)に置き換えると共に、符号語メモリ「1」B7のメモリ内容を符号語メモリ「0」B6のメモリ内容に置き換えるのである。本動作によって、符号語選択肢が有る毎に、符号語メモリ「0」, 「1」B6, B7に蓄積されている出力符号語はDSVの小さな系列が選択され、その結果、出力符号語系列のDC成分の十分な抑圧ができる。

【0033】図4は、上記変調装置Bの符号化動作の流れを示したフローチャートである。図4に示すように、まず初期符号化テーブル(S(k) = "0")を選択する(ステップB10)。次に入力データ語D(k)を入力する(ステップB20)。次に、特定の入力データ語D(k)に対応する符号化テーブルA2aにおいて、出力符号語C(k)を入れ替え可能な関係が存在する場合は、DSV演算メモリ「0」, 「1」を参照して、DSV出力の絶対値の小さい方を出力する(ステップB30, B40)。次にDSV出力の絶対値が大きくて出力しない側の符号語メモリの内容をDSV出力の絶対値が小さい側の符号語メモリの内容に置き換えると共に、DSV出力の絶対値が大きくて出力しない側のDSV演算メモリの内容をDSV出力の絶対値が小さい側のDSV演算メモリの内容に置き換える(ステップB50)。次に、1の入力データ語に対応する一方及び他方の符号化テーブルから2つの出力符号語を選択して出力する(ステップB60)。次に符号語メモリ「0」, 「1」に出力符号語C(k)0, 1をそれぞれ付加する(ステップB70)。そして、出力符号語C(k)0, 1にそれぞれCDSを演算した後、DSV演算メモリ「0」, 「1」に加算する(ステップB80)。一方、(ステップB30)で、特定の入力データ語D(k)に対応する符号化テーブルA2aにおいて、出力符号語C(k)を入れ替え可能な関係が存在しない場合には、(ステップB70)へフローする。この後、再び次のサイクルとして、ステップB10へ戻る。

【0034】次に本発明の復調装置について、図5を参照して説明をする。本発明の復調装置Cは、同期検出手段C1、シリアル/パラレル変換器C2、復号テーブル参照アドレス生成手段C3、復号テーブル・符号化テーブル演算器・選択器C4から構成される。復号テーブル・符号化テーブル演算器・選択器C4は図6に示すよう

に、復号テーブルC4a、1ワード遅延手段C4b、C4d、選択器C4c、符号化テーブル演算器C4eから構成される。

【0035】図5に示すように、上述した本発明の変調装置A、Bを用いて入力データ列を出力符号語列として変調して図示せぬ記憶媒体に記録し、そしてこの記憶媒体から再生された再生信号は、図示せぬ信号処理手段によって、二進系列である符号語系列に変換されると共に、この符号語系列に同期したビットクロックが生成されて、これら符号語系列とビットクロックとは前記した復調装置Cに入力される。符号語系列は同期検出手段C1によって同期語が検出され、符号語単位のワードクロックが生成される。シリアル/パラレル変換器C2ではワードクロックと、ビットクロックと、符号語系列とから6ビット単位の符号語に再構成されて、復号テーブル参照アドレス生成手段C3に入力される。

【0036】復号テーブル参照アドレス生成手段C3では例えば、図10に示す復号テーブルにおいて、参照アドレスとして6ビット符号語を、復号テーブル・符号化テーブル演算器・選択器C4に出力をし、復号テーブル・符号化テーブル演算器・選択器C4から復調された再生データ系列が出力される。図10に示す復号テーブルはROMの構成を取っており、参照アドレスは符号語C(k)、データ領域にはC(k)に対する判定情報と、次の符号語が前述した図8の符号化テーブルのどのテーブルによって符号化がなされたかによって決定する復調データ語が記憶されている。本例ではROMの構成による説明を行うが、ROM以外にもハードウェアによる論理回路等での構成も可能である。

【0037】判定情報とは、次に続く符号語がどのテーブル(式1)

```

if (判定情報 == 0)
{
  if (次の符号語は"0"で符号化)
  {
    復調データは"0"の列のデータD(k)0を選択;
  }
  else {復調データは"1"の列のデータD(k)1を選択;}
}
if (判定情報 == 1)
{
  if (次の符号語は"1"で符号化)
  {
    復調データは"1"の列のデータD(k)0を選択;
  }
  else if (次の符号語は"2"で符号化)
  {
    復調データは"2"の列のデータD(k)1を選択;
  }
  else {復調データは"3"の列のデータD(k)2を選択;}
}
if (判定情報 == 2)
{
  if (次の符号語は"2"または"1"のD(k) >= 7の符号語で符号化)
  {
    復調データは"2"の列のデータD(k)0を選択;
  }
  else {復調データは"3"の列のデータD(k)1を選択;}
}

```

【0041】参照アドレスは前述した復号テーブル・符号化テーブル演算器・選択器C4(図6)を構成する復号テーブルC4aと符号化テーブル演算器C4eとに入力される。この符号化テーブル演算器C4eには、1ワード遅延手段C4dを介して、復号テーブルC4aから

ブルによって符号化がなされているかを示す情報であり、本例では「0」、「1」、「2」の3通りが存在する。「0」の場合は、次に続く符号語が符号化テーブル"0"または"1"で符号化がなされており、「1」の場合は"1"または"2"または"3"で符号化がなされている。同様に「2」は"2"または"3"の符号化テーブルで符号化がなされていることを示し、次に続く符号語がどの符号化テーブルで符号化がなされたかによって、データ語が復調できる。

【0038】例えば、前出の符号化の動作例で示した符号語系列が復調装置Cに入力された場合、18・2・18・41・1(・は符号語の6ビット毎の接続を示す。)なるそれぞれ6ビットの符号語系列について、18に対して判定情報は1であり、次の符号語は"1"、"2"、"3"の符号化テーブルの何れかで符号化がなされている事を意味し、それぞれの場合について、データ語は4、5、6となる。本例では次の符号語の2は"1"によって符号化がなされているから、データ語は4に復調される。同様に次の符号語は2で判定情報は1で続く符号語は"2"の符号化テーブルで符号化がなされており、データ語は5。同様に6、7と復調ができ、入力データ系列と一致する事がわかる。

【0039】以上説明をした復調のアルゴリズムについて、下記する(式1)にC言語の文法に従って示す。同式中、D(k)0、D(k)1、D(k)2はデータ語の候補を意味する記号である。なお、式1の判定情報が2の場合はDSV制御のための符号語の入れ替えがなされている場合があり、この場合の復調の条件も本式は含んでいる。

【0040】

の1ワード遅延された判定情報が入力される。この結果、この符号化テーブル演算器C4eは、後続データと判定情報とをもとに、(式1)で示した演算によって、復号テーブルC4aから出力される符号語の候補D(k)0、D(k)1、D(k)2のどれを選択するか

の演算結果を選択器C4cに送り、符号語の選択を行う。復号テーブルC4aと選択器C4cとの間の1ワード遅延手段C4bは前記した演算結果と復号テーブルの出力とのタイミングを修正するためのものである。

【0042】

【発明の効果】以上説明したように本発明によれば、連続する2進数のデータ系列を4ビット単位の入力データ語に変換した後に、(1, 7) RLL規則を満足する6ビット単位出力符号語列に変換が可能であり、また、出力符号語列に冗長ビットを加えることなくDSV制御が可能であるから、出力符号語列のDC成分の効果的な抑圧が可能である変調装置とその復調装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の変調装置の基本構成図である。

【図2】本発明の変調装置のブロック構成図である。

【図3】図2に示す符号化部周辺のブロック構成図である。

【図4】図2に示す変調装置の符号化動作を説明するためのフローチャートである。

【図5】本発明の復調装置の基本構成図である。

【図6】図4に示す復号テーブル、符号化テーブル演算

器、選択器のブロック図である。

【図7】4ビット単位の入力データ語に対応する6ビット単位のバイナリ出力符号語を表す図である。

【図8】本発明の変調装置に用いられる4つの符号化テーブル0～3の各内容を表す図である。

【図9】本発明の変調装置における符号化過程を説明する図である。

【図10】本発明の復号装置に用いられる4つの復号化テーブル0～3の各内容を表す図である。

【符号の説明】

A2 符号化部(変換手段)、

A2a, "1"～"3" 符号化テーブル

A, B 変調装置。

B1 符号語選択肢有無選択肢回路

B2 符号化テーブルアドレス演算回路

B4, B5 DSV演算メモリ(DSVメモリ手段)

B6, B7 符号語メモリ(出力符号語メモリ手段)

B8 メモリ制御/符号語出力部

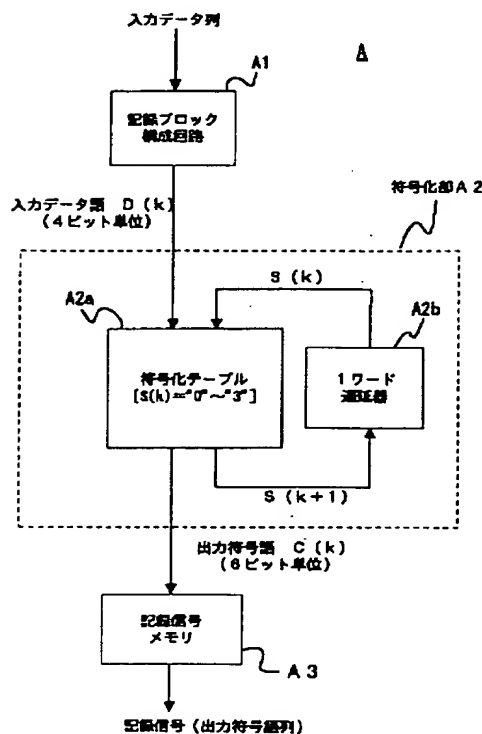
B9 絶対値比較回路

C 復調装置

C2 シリアル/パラレル変換器

C4 復号テーブル・符号化テーブル演算器・選択器

【図1】



【図7】

デシマル	バイナリ
0	000000
1	000001
2	000010
4	000100
5	000101
8	001000
9	001001
10	001010
16	010000
17	010001
18	010010
20	010100
21	010101
32	100000
33	100001
34	100010
36	100100
37	100101
40	101000
41	101001
42	101010

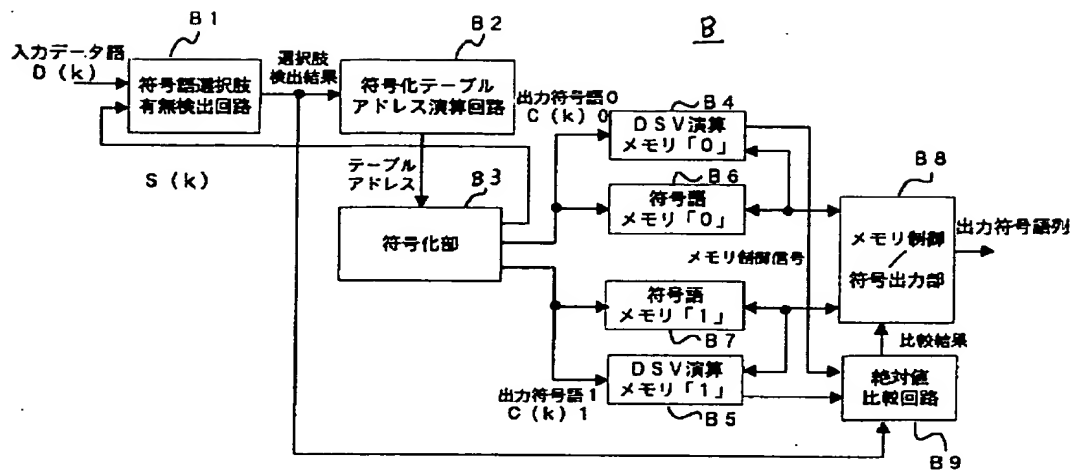
【図9】

入力データ語 D(k)	符号化テーブル選択番号 S(k)	出力符号語 C(k)	符号化テーブル選択番号 S(k+1)
4	0	18	1
5	1	2	2
8	2	18	3
7	3	41	0
8	0	1	1

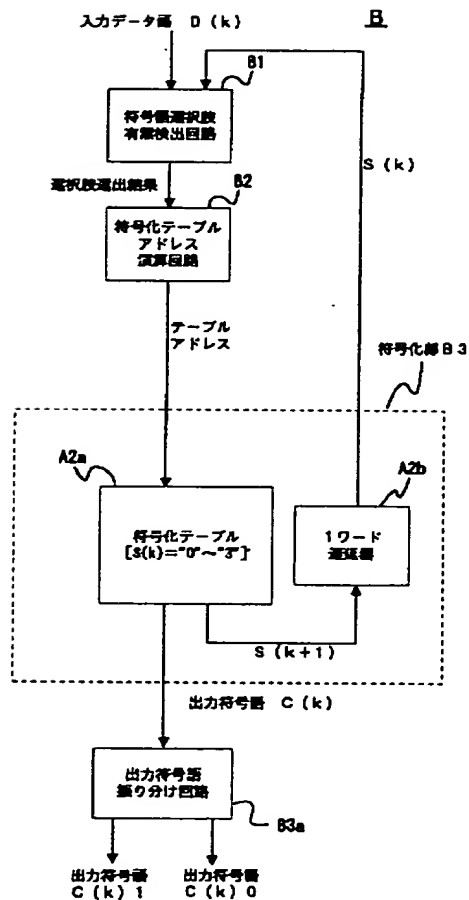
【図10】

アドレス	デシマル	バイナリ	判定情報	復号データ D(k)/S(k+1)
0	0	000000	2	-
1	1	000001	0	7
2	2	000010	1	-
4	4	000100	1	-
5	5	000101	0	2
8	8	001000	1	-
9	9	001001	0	0
10	10	001010	1	-
16	16	010000	2	-
17	17	010001	0	2
18	18	010010	1	-
20	20	010100	1	-
21	21	010101	0	0
32	32	100000	2	-
33	33	100001	0	0
34	34	100010	1	-
37	37	100101	0	2
40	40	101000	1	-
41	41	101001	0	7
42	42	101010	1	-

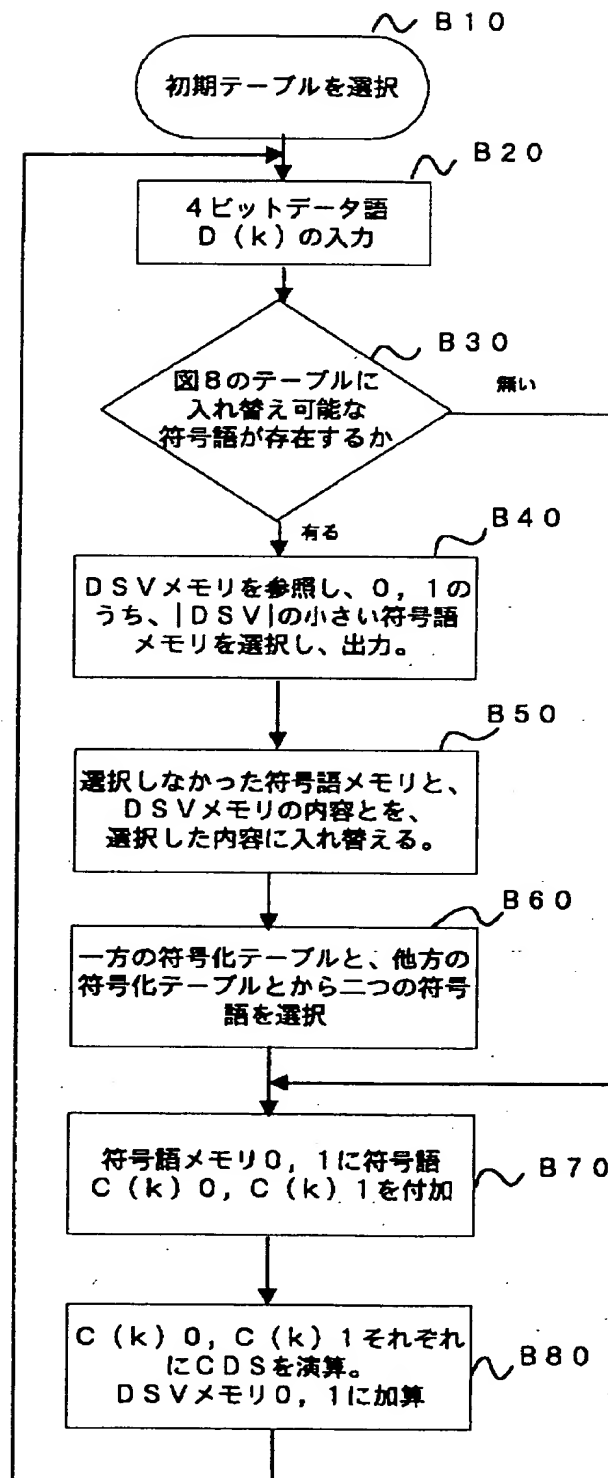
【図2】



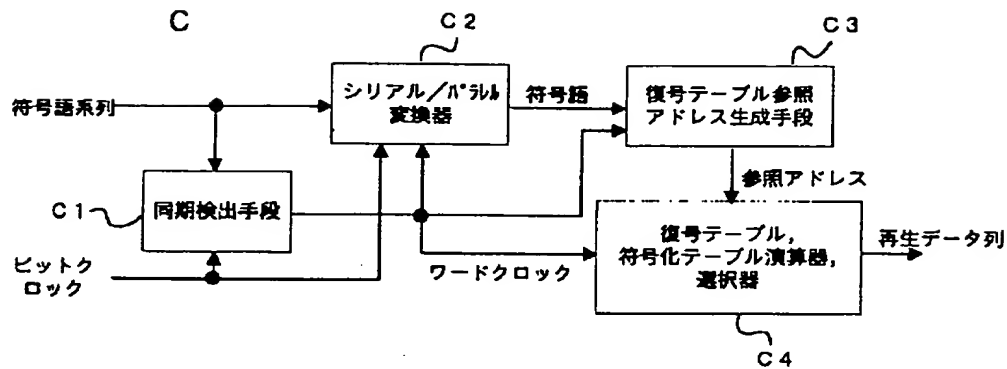
【図3】



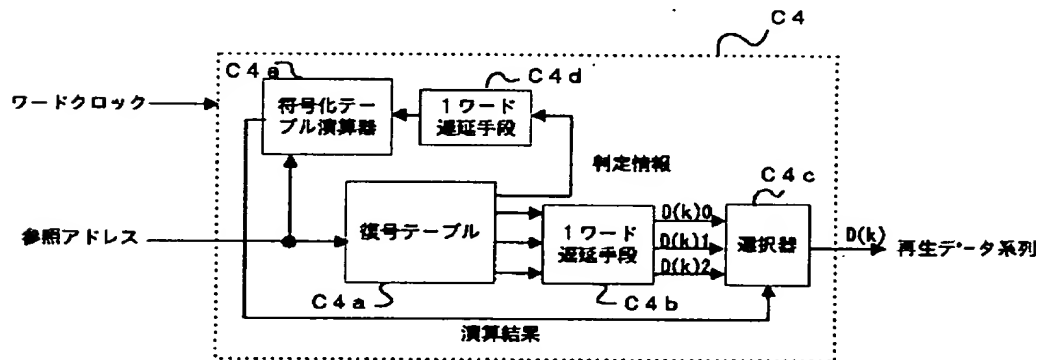
【図4】



【図 5】



【図 6】



【図 8】

S(k)	0			1			2			3		
	C(k)		S(k+1)	C(k)		S(k+1)	C(k)		S(k+1)	C(k)		S(k+1)
データ語	デシマル	バイナリ		デシマル	バイナリ		デシマル	バイナリ		デシマル	バイナリ	
0	21	010101	0	8	001001	0	33	100001	0	21	010101	0
1	21	010101	1	8	001001	1	33	100001	1	21	010101	1
2	17	010001	0	5	000101	0	17	010001	0	37	100101	0
3	17	010001	1	5	000101	1	17	010001	1	37	100101	1
4	18	010010	1	2	000010	1	18	010010	1	34	100010	1
5	18	010010	2	2	000010	2	18	010010	2	34	100010	2
6	18	010010	3	2	000010	3	18	010010	3	34	100010	3
7	1	000001	0	4	000100	1	36	100100	1	41	101001	0
8	1	000001	1	4	000100	2	36	100100	2	41	101001	1
9	20	010100	1	4	000100	3	36	100100	3	20	010100	1
10	20	010100	2	10	001010	1	42	101010	1	20	010100	2
11	20	010100	3	10	001010	2	42	101010	2	20	010100	3
12	0	000000	2	10	001010	3	42	101010	3	32	100000	2
13	0	000000	3	8	001000	1	40	101000	1	32	100000	3
14	16	010000	2	8	001000	2	40	101000	2	16	010000	2
15	16	010000	3	8	001000	3	40	101000	3	16	010000	3

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)
This Page Blank (uspto)